

PAT-NO: JP411261056A

DOCUMENT-IDENTIFIER: JP 11261056 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: September 24, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
ISHIDA, YUKITO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP10061580

APPL-DATE: March 12, 1998

INT-CL (IPC): H01L029/78

ABSTRACT:

PROBLEM TO BE SOLVED: To lessen a MOS transistor of lattice gate structure in parasitic capacitance between a lattice gate and a semiconductor substrate.

SOLUTION: A lattice-like gate 32 is formed on the front surface of a semiconductor substrate 10 through the intermediary of a gate insulating film 28. An intersection insulating part 26 is formed on the semiconductor substrate 10 under the intersections 34 of the gate 32 respectively. By thin setup, a parasitic capacity which is generated between the intersections 34 of the gate 32 and the semiconductor substrate 10 not being directly related to the operation of a MOS transistor can be reduced.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-261056

(43)公開日 平成11年(1999)9月24日

(51)Int.Cl.⁸

識別記号

FI

H01L 29/78

H01L 29/78

301W

審査請求 未請求 請求項の数11 OL (全 11 頁)

(21)出願番号 特願平10-61580

(22)出願日 平成10年(1998)3月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 石田 幸人

神奈川県川崎市幸区小向東芝町1 株式会

社東芝多摩川工場内

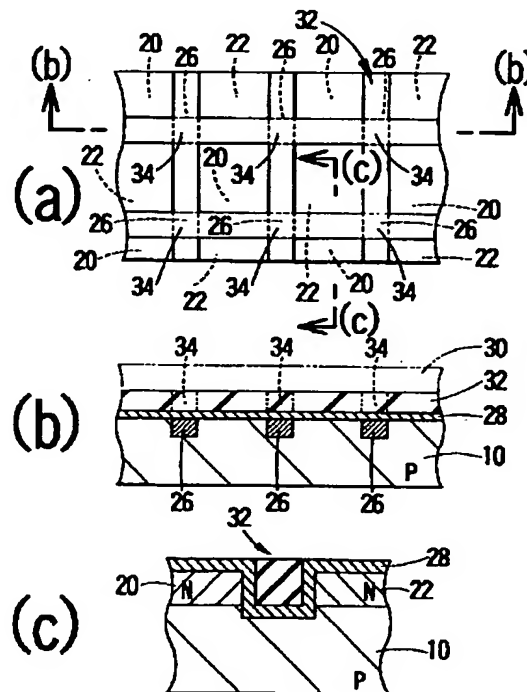
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 格子状ゲート構造のMOSトランジスタにおける格子状ゲートと半導体基板との間の寄生容量を低減する。

【解決手段】 半導体基板10の表面側にゲート絶縁膜28を介して格子状ゲート32を形成する。この格子状ゲート32の交差部34下側に当たる部分には、半導体基板10に交差絶縁部26を形成しておく。これにより、この格子状ゲート32の交差部34と半導体基板10との間に生じる動作とは直接的に関係のない部分の寄生容量の削減を図ることができる。



【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板表面側にゲート絶縁膜を介して平面視格子状に形成された格子状ゲートと、
前記半導体基板における前記格子状ゲートの各格子の間に形成されたソース／ドレイン領域と、
前記格子状ゲートの各交差部下側の半導体基板に形成された交差絶縁部と、
を備えたことを特徴とする半導体装置。

【請求項2】前記格子状ゲートは前記半導体基板表面側に埋め込んで形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記格子状ゲートは前記半導体基板表面から突設して形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】第1導電型の半導体基板の表面側に形成された第2導電型の不純物層に、縦又は横のいずれか一方の方向に沿って第1の溝を形成する工程と、
前記半導体基板の表面側に形成された前記不純物層に、縦又は横の他方の方向に沿って第2の溝を形成することにより、これら第1及び第2の溝とをあわせて格子状の溝とし、この格子状の溝で前記不純物層を区画して各格子の間に複数のソース／ドレイン領域を形成するとともに、これら第1及び第2の溝の交差部における前記半導体基板に前記第1及び第2の溝における交差部以外の部分より深い交差絶縁部埋込孔を形成する工程と、
前記半導体基板における前記交差絶縁部埋込孔に絶縁部材を埋め込むことにより、交差絶縁部を形成する工程と、
少なくとも前記格子状の溝の表面をゲート絶縁膜で覆う工程と、
前記ゲート絶縁膜で覆った前記格子状の溝に導電部材を埋め込むことにより、格子状ゲートを形成する工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項5】前記交差絶縁部を形成する工程では、前記半導体基板の表面側に絶縁部材を堆積し、この堆積した絶縁部材をエッチングすることにより、自己整合的に前記半導体基板における前記交差絶縁部埋込孔に前記絶縁部材を残存させて前記交差絶縁部を形成する、ことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】前記ゲート絶縁膜を形成する工程では、前記格子状の溝を含めた前記半導体基板の表面側に全体的にゲート絶縁膜を形成する、ことを特徴とする請求項4又は請求項5に記載の半導体装置の製造方法。

【請求項7】前記格子状ゲートを形成する工程では、前記半導体基板の表面側に導電部材を堆積し、この堆積した導電部材をエッチングすることにより、自己整合的に前記半導体基板における前記格子状の溝に前記導電部材を残存させて前記格子状ゲートを形成する、ことを特徴とする請求項4乃至請求項6のいずれかに記載の半導体

装置の製造方法。

【請求項8】第1導電型の半導体基板の表面に、溝が形成されることにより型としての役割を果たすゲート型成形用膜を形成する工程と、

前記ゲート型成形用膜に、縦又は横のいずれか一方の方向に沿って前記半導体基板が露出するように第1の溝を形成する工程と、

前記ゲート型成形用膜に、縦又は横の他方の方向に沿って前記半導体基板が露出するように第2の溝を形成することにより、前記第1及び第2の溝とをあわせて前記ゲート型成形用膜に格子状の溝を形成するとともに、前記格子状の溝の交差部下側の半導体基板に、交差絶縁部埋込孔を形成する工程と、

前記半導体基板における前記交差絶縁部埋込孔を絶縁部材で埋め込むことにより、交差絶縁部を形成する工程と、

少なくとも前記格子状の溝から露出した半導体基板の表面をゲート絶縁膜で覆う工程と、

前記ゲート型成形用膜に形成された前記格子状の溝に導電部材を埋め込むことにより、格子状ゲートを形成する工程と、

前記ゲート型成形用膜を除去する工程と、

前記格子状ゲートにおける各格子の間に位置する半導体基板の表面側に、第2導電型のソース／ドレイン領域を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項9】前記ゲート型成形用膜に第2の溝を形成する工程では、前記縦又は横の他方の方向に沿ってレジスト開孔を有するレジストを形成し、このレジストと前記ゲート型成形用膜とをマスクとして、前記半導体基板に前記交差絶縁部埋込孔を形成し、続いて、このレジストをそのままマスクとして用いて前記ゲート型成形用膜に第2の溝を形成する、ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】前記交差絶縁部を形成する工程では、前記半導体基板の表面側に絶縁部材を堆積し、この堆積した絶縁部材をエッチングすることにより、自己整合的に前記半導体基板における前記交差絶縁部埋込孔に前記絶縁部材を残存させて前記交差絶縁部を形成する、ことを特徴とする請求項8又は請求項9に記載の半導体装置の製造方法。

【請求項11】前記格子状ゲートを形成する工程では、前記半導体基板の表面側に導電部材を堆積し、この堆積した導電部材をエッチングすることにより、自己整合的に前記ゲート型成形用膜における前記格子状の溝に前記導電部材を残存させて前記格子状ゲートを形成する、ことを特徴とする請求項8乃至請求項10のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関し、特に、格子状ゲートを有するMOSTランジスタの半導体装置及びその製造方法に関する。

【0002】

【従来の技術】MOSTランジスタの単位面積当たりのゲート幅を増加するのに有効な構造として、格子状にゲートを配置する構造が知られている。図16は従来における通常のくし形ゲート構造のMOSTランジスタを平面的に示す図であり、図17は格子状ゲート構造のMOSTランジスタを平面的に示す図である。

【0003】図16からわかるように、くし形ゲート構造においては、ゲート100を4本設け、その間にソース領域102とドレイン領域104とを設けた場合、動作領域106内におけるゲート幅は8Wとなる。これに対して、格子状ゲート構造においては、図17からわかるように、ゲート110を図示の如く設け、その間にソース領域112とドレイン領域114とを設けた場合、動作領域116内におけるゲート幅は20Wとなる。このことからわかるように、MOSTランジスタのゲートを格子状構造とすることにより、単位面積当たりのゲート幅を増加できることが知られている。

【0004】

【発明が解決しようとする課題】図18は格子状ゲートを有するMOSTランジスタのゲート110部分を拡大して示す平面図である。この図18はn型MOSTランジスタを一例として示している。図19は図18におけるXIX-XIX線断面図である。

【0005】図18からわかるように、格子状のゲート110には、FET動作に寄与しない寄生容量が交差部118に存在する。すなわち、ソース領域112とドレイン領域114との間の電流パスに寄与しない部分である交差部118にも、寄生容量が存在してしまう。より詳しくは、図19からわかるように、半導体基板120の表面側にはゲート絶縁膜124が形成されており、このゲート絶縁膜124上にゲート110が設けられている。また、半導体基板120のゲート110下側には、チャネル領域122が存在する。しかし、半導体基板120におけるゲート110の交差部118下側は、ソース領域112とドレイン領域114に挟まれていないため、電流が流れる経路とはならない。したがって、この半導体基板120とゲート110の交差部118との間に存在する寄生容量は、このMOSTランジスタの動作に関係しないにも関わらず、存在することとなる。このような余分な寄生容量の存在は、MOSTランジスタの動作の高速化の妨げとなる。

【0006】そこで、本発明は上記課題に鑑みてなされたものであり、格子状に構成されたゲート110の交差部118に存在する寄生容量の低減を図ることを目的とする。すなわち、交差部118に存在するMOSTランジスタの動作に関係しない余分な寄生容量を削減するこ

とにより、MOSTランジスタの動作の高速化を図ることを目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するため、本発明に係る半導体装置は、半導体基板と、前記半導体基板表面側にゲート絶縁膜を介して平面視格子状に形成された格子状ゲートと、前記半導体基板における前記格子状ゲートの各格子の間に形成されたソース/ドレイン領域領域と、前記格子状ゲートの各交差部下側の半導体基板に形成された交差絶縁部と、を備えたことを特徴とする。

【0008】また、本発明に係る半導体装置の製造方法は、第1導電型の半導体基板の表面側に形成された第2導電型の不純物層に、縦又は横のいずれか一方の方向に沿って第1の溝を形成する工程と、前記半導体基板の表面側に形成された前記不純物層に、縦又は横の他方の方向に沿って第2の溝を形成することにより、これら第1及び第2の溝とをあわせて格子状の溝とし、この格子状の溝で前記不純物層を区画して各格子の間に複数のソース/ドレイン領域を形成するとともに、これら第1及び第2の溝の交差部における前記半導体基板に前記第1及び第2の溝における交差部以外の部分より深い交差絶縁部埋込孔を形成する工程と、前記半導体基板における前記交差絶縁部埋込孔に絶縁部材を埋め込むことにより、交差絶縁部を形成する工程と、少なくとも前記格子状の溝の表面をゲート絶縁膜で覆う工程と、前記ゲート絶縁膜で覆った前記格子状の溝に導電部材を埋め込むことにより、格子状ゲートを形成する工程と、を備えたことを特徴とする。

【0009】さらに、本発明に係る半導体装置の製造方法は、第1導電型の半導体基板の表面に、溝が形成されることにより型としての役割を果たすゲート型成形用膜を形成する工程と、前記ゲート型成形用膜に、縦又は横のいずれか一方の方向に沿って前記半導体基板が露出するように第1の溝を形成する工程と、前記ゲート型成形用膜に、縦又は横の他方の方向に沿って前記半導体基板が露出するように第2の溝を形成することにより、前記第1及び第2の溝とをあわせて前記ゲート型成形用膜に格子状の溝を形成するとともに、前記格子状の溝の交差部下側の半導体基板に、交差絶縁部埋込孔を形成する工程と、前記半導体基板における前記交差絶縁部埋込孔を絶縁部材で埋め込むことにより、交差絶縁部を形成する工程と、少なくとも前記格子状の溝から露出した半導体基板の表面をゲート絶縁膜で覆う工程と、前記ゲート型成形用膜に形成された前記格子状の溝に導電部材を埋め込むことにより、格子状ゲートを形成する工程と、前記ゲート型成形用膜を除去する工程と、前記格子状ゲートにおける各格子の間に位置する半導体基板の表面側に、第2導電型のソース/ドレイン領域を形成する工程と、を備えたことも特徴とする。

【0010】

【発明の実施の形態】（第1実施形態）本発明の第1実施形態は、格子状ゲートを半導体基板に埋め込んで形成したタイプのMOSトランジスタにおいて、半導体基板における格子状ゲートの交差部下側に位置する部分に交差絶縁部を設けることにより、格子状ゲートと半導体基板との間の寄生容量の低減を図ったものである。より詳しくを以下に説明する。

【0011】図1乃至図6は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図である。これら各図において、(a)は半導体装置の平面図であり、(b)は(a)における(b)-(b)線断面図である。また、図7における(c)は、同図(a)における(c)-(c)線断面図である。

【0012】図1からわかるように、p型のシリコンからなる半導体基板10上に、n型の不純物層12を形成する。この不純物層12は、例えば、エピタキシャル成長で形成することが可能であり、又は、イオン打ち込みにより形成することも可能である。不純物層12は、最終的にソース/ドレイン領域を形成するためのものである。続いて、半導体基板10表面側の不純物層12に、格子状ゲート形成予定領域における一方向の溝14aを形成する。本実施形態においては、図中における縦方向の溝14aを形成する。この縦方向の溝14aは、例えば、レジストをリソグラフィーにより縦方向のレジスト開孔を有するようにパターニングして、異方性エッチングをすることにより形成することができる。この溝14aは、少なくとも不純物層12を貫通するまで形成する必要がある。

【0013】次に図2からわかるように、半導体基板10の表面側に、格子状ゲート形成予定領域における他方向の溝14bを形成する。本実施形態においては、図中における横方向の溝14bを形成する。この横方向の溝14bは、例えば、レジストをリソグラフィーにより横方向のレジスト開孔を有するようにパターニングして、異方性エッチングをすることにより形成することができる。この溝14bも、少なくとも不純物層12を貫通するまで形成する必要がある。このエッチングにより、縦方向の溝14aと横方向の溝14bとからなる格子状の溝14がゲート形成予定領域に形成される。また、この格子状の溝14における交差部は、他の溝の部分よりも一段深い交差絶縁部埋込孔16が形成される。さらに、この格子状の溝14における各格子の内側には、n型のソース領域20とn型のドレイン領域22とが交互に形成される。すなわち、不純物層12を格子状の溝14で区画することにより、各格子の間にソース/ドレイン領域20、22が形成される。

【0014】次に図3からわかるように、この中間半導体装置の表面に全体的に絶縁部材としてのシリコン酸化膜24を堆積する。このシリコン酸化膜24は、例え

ば、CVD (chemical vapor deposition) 等により堆積することができる。このシリコン酸化膜24を堆積することにより、格子状の溝14はこのシリコン酸化膜により埋められ、中間半導体装置の表面はほぼ平滑化される。

【0015】次に図4からわかるように、シリコン酸化膜24をエッチバックすることにより、深く形成された交差絶縁部埋込孔16にシリコン酸化膜24を残存させて、交差絶縁部26を形成する。この交差絶縁部26は、例えば、シリコン酸化膜24をRIE (reactive ion etching) する際にそのエッチング量を調整することにより、自己整合的に形成することができる。この交差絶縁部26を形成することにより、格子状の溝14の深さは、その交差部を含めて全体的にほぼ同一の深さとなる。

【0016】次に図5からわかるように、この中間半導体装置の表面に全体的にゲート絶縁膜としてのゲート酸化膜28を形成し、この中間半導体装置の表面をゲート酸化膜28で覆う。このゲート酸化膜は、例えば、熱酸化により形成することができる。

【0017】次に図6からわかるように、この中間半導体装置上にゲートを構成するための導電性膜30を全体的に堆積する。この導電性膜30は格子状の溝14を全体的に埋めて、この中間半導体装置の表面側が平滑化されるまで堆積する。導電性膜30は、例えば、CVDによりポリシリコンや、スパッタリングにより高融点金属、等の導電部材を堆積することにより得ることができる。続いて、この導電性膜30を自己整合的にエッチングすることにより、格子状ゲート32を形成する。すなわち、エッチング量を調整して、格子状の溝14にある導電性膜30を残存させることにより、格子状ゲート32を形成する。この導電性膜30のエッチングとしては、RIEによるエッチングや、CMP (chemical mechanical polishing) によるエッチングがあげられる。以上の工程により、第1実施形態に係るMOSトランジスタを得ることができる。

【0018】以上のように、第1実施形態に係るMOSトランジスタによれば、図6からわかるように、格子状ゲート32の交差部34下側の半導体基板10に、交差絶縁部26を設けることとしたので、この交差部34における寄生容量を低減することができる。より詳しくは、格子状ゲート32の交差部34の下側に、シリコン酸化膜からなる交差絶縁部26を設けた。この交差絶縁部26により、交差部34と半導体基板10との間に生じる寄生容量を削減することができる。つまり、このMOSトランジスタのFET動作に関係のない格子状ゲート32の交差部34における寄生容量を低減することができる。そして、このように寄生容量を削減することにより、MOSトランジスタの動作の高速化を図ることができる。

【0019】しかも、交差絶縁部26を有するMOSTランジスタを自己整合的に製造することができる。より詳しくは、図1からわかるように、半導体基板10における一方向の溝14aを形成し、図2からわかるように、これとは別の工程で他方向の溝14bを形成することにより、自己整合的にこれらの交差部分に深い交差絶縁部埋込孔16を形成することができる。その後、図3及び図4からわかるように、自己整合的にこの深い交差絶縁部埋込孔16に交差絶縁部26を形成することができる。さらに、図5及び図6からわかるように、溝14に自己整合的に格子状ゲート32を形成することができる。このように製造プロセスを自己整合的にすることにより、製造過程におけるマスク合わせが不要になり、プロセスの微細化を図ることができる。また、格子状ゲート32が半導体基板10に埋め込んである構造であるので、MOSTランジスタの微細化を図った場合にも、短チャネル効果を生じにくくすることができる。

【0020】(第2実施形態)第2実施形態は、半導体基板の表面に格子状ゲートを突設して形成したタイプの半導体装置において、この格子状ゲートの交差部下側の半導体基板に交差絶縁部を設けることにより、格子状ゲートと半導体基板との間の寄生容量の低減を図ったものである。より詳しくを以下に説明する。

【0021】図8乃至図13は、本発明の第2実施形態に係る半導体装置の製造工程を示す断面図である。これら各図において、(a)は半導体装置の平面図であり、(b)は(a)における(b)-(b)線断面図である。また、図12及び図13における(c)は、それぞれの図(a)における(c)-(c)線断面図である。

【0022】図7からわかるように、シリコンからなる半導体基板40上に、シリコン酸化膜42とシリコン窒化膜44とを堆積する。これらシリコン酸化膜42とシリコン窒化膜44とは、例えば、CVDにより堆積することができる。これらシリコン酸化膜42とシリコン窒化膜44とで、本実施形態におけるゲート型形成用膜を構成する。このゲート型形成用膜は後に溝が形成されることにより、ゲートを形成するための型としての役割を果たす部材である。続いて、シリコン酸化膜42とシリコン窒化膜44とに、格子状ゲート形成予定領域における一方向の溝46aを形成する。本実施形態においては、図中における縦方向の溝46aを形成する。この溝46aは、シリコン酸化膜42とシリコン窒化膜44とを貫通して、半導体基板40の表面が露出するように形成する。

【0023】次に図8からわかるように、この中間半導体装置上にレジスト48を塗布し、このレジスト48における格子状ゲート形成予定領域の他方向の溝に沿って、レジスト開孔50をパターンニングする。本実施形態においては、図中における横方向に向かってレジスト開孔50を形成する。続いて、このレジスト開孔50から

露出しているシリコンからなる半導体基板40を選択的に異方性エッチングすることにより、半導体基板40に交差絶縁部埋込孔52を形成する。すなわち、レジスト48とシリコン窒化膜44とをマスクとして機能させて、半導体基板40の露出部分のみをエッチングする。この異方性エッチングとしては、シリコン窒化膜44に対して選択性のあるRIEがあげられる。

【0024】次に図9からわかるように、先の工程で形成したレジスト48をそのままマスクとして用いて、シリコン酸化膜42とシリコン窒化膜44とを選択的に異方性エッチングすることにより、格子状ゲート形成予定領域の他方向の溝48bを形成する。すなわち、本実施形態においては、シリコン酸化膜42とシリコン窒化膜44とに、横方向の溝48bを形成する。この溝46bも、前述した溝46aと同様に、シリコン酸化膜42とシリコン窒化膜44とを貫通して、半導体基板40の表面が露出するように形成する。この溝46bを形成するための異方性エッチングとしては、例えば、RIEがあげられる。この溝48bと前述した溝48aとで、格子状の溝48がシリコン酸化膜42とシリコン窒化膜44とに形成される。

【0025】次に図10からわかるように、レジスト48を除去する。続いて、この中間半導体装置上に絶縁部材としてのシリコン酸化膜54を堆積する。このシリコン酸化膜54は、例えば、CVD等により堆積することができる。このシリコン酸化膜54を堆積することにより、格子状の溝46はこのシリコン酸化膜54により埋められ、中間半導体装置の表面はほぼ平滑化される。

【0026】次に図11からわかるように、シリコン酸化膜54をエッチバックすることにより、交差絶縁部埋込孔52にシリコン酸化膜54を残存させて、交差絶縁部56を形成する。この交差絶縁部56は、例えば、シリコン酸化膜54をRIEする際にそのエッチング量を調整することにより、自己整合的に形成することができる。

【0027】次に図12からわかるように、この中間半導体装置における格子状の溝46から露出している半導体基板40の表面に、ゲート絶縁膜としてのゲート酸化膜58を形成する。そして、このゲート酸化膜58で、格子状の溝46から露出している半導体基板40の表面を覆う。このゲート酸化膜58は、例えば、熱酸化により形成することができる。続いて、この中間半導体装置上にゲートを構成するための導電性膜60を全体的に堆積する。この導電性膜60は格子状の溝14を全体的に埋めて、この中間半導体装置の表面側が平滑化されるまで堆積する。導電性膜60は、例えば、CVDによりポリシリコン、あるいは、スパッタリングにより高融点金属、等の導電部材を堆積することにより得ることができる。続いて、この導電性膜60を自己整合的にエッチングすることにより、格子状ゲート62を形成する。すな

わち、エッチング量を調整して、格子状の溝46にある導電性膜60を残存させることにより、格子状ゲート62を形成する。この導電性膜60のエッチングとしては、RIEによるエッチングや、CMP (chemical mechanical polishing) によるエッチングがあげられる。

【0028】次に図13からわかるように、格子状ゲート62の各格子の間に形成されたシリコン酸化膜42とシリコン窒化膜44とを、選択的にエッチングすることにより除去する。すなわち、格子状ゲート62の各格子間に形成されたシリコン酸化膜42とシリコン窒化膜44とを取り除くことにより、p型の半導体基板40を露出させる。このシリコン酸化膜42とシリコン窒化膜44とエッチングとしては、例えば、RIEがあげられる。続いて、この中間半導体装置に不純物イオンを打ち込んで、ソース領域64とドレイン領域66とを形成する。このソース領域64とドレイン領域66の形成は、格子状ゲート62がマスクとしての役割を果たすので、自己整合的に行うことができる。以上の工程により、第2実施形態に係るMOSTランジスタを得ることができる。

【0029】以上のように、第2実施形態に係るMOSTランジスタによっても、第1実施形態と同様に、格子状ゲート62の交差部68下側の半導体基板40に、交差絶縁部56を設けることとしたので、この交差部68における寄生容量を低減することができる。

【0030】しかも、第1実施形態と同様に、交差絶縁部56を有するMOSTランジスタを自己整合的に製造することができる。より詳しくは、図7からわかるように、シリコン酸化膜42とシリコン窒化膜44に一方の溝46aを形成し、図8及び図9からわかるように、これとは別の工程で他方向の溝44bを形成することにより、格子状の溝46を形成する。この他方向の溝44bを形成する前に、自己整合的に半導体基板40に交差絶縁部埋込孔52を形成する。さらに、図10及び図11からわかるように、この交差絶縁部埋込孔52に自己整合的に交差絶縁部56を形成する。続いて、図12からわかるように、格子状の溝46を埋めるように自己整合的に格子状ゲート62を形成し、図13からわかるように自己整合的にシリコン酸化膜42とシリコン窒化膜44とをエッチングにより除去して、ソース/ドレイン領域64、66を形成する。このように製造プロセスを自己整合的にすることにより、製造過程におけるマスク合わせが不要になり、プロセスの微細化を図ることができる。

【0031】しかも、格子状ゲート62が半導体基板40上に突設して形成されているので、この格子状ゲート62とソース/ドレイン領域64、66との間の容量を小さくすることができる。

【0032】なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、第2実施形態における

ゲート型成形用膜は、シリコン酸化膜42とシリコン窒化膜44との複層構造ではなく、シリコン窒化膜からなる単層構造であってもよい。すなわち、エッチングに際して半導体基板40に対して選択性のある部材であれば足りる。

【0033】また、上記実施形態ではn型のMOSTランジスタを例に説明したが、p型のMOSTランジスタであっても同様に適用できる。第1実施形態をp型MOSTランジスタに適用した場合は図14に示す如く形成され、同様に第2実施形態をp型MOSTランジスタに適用した場合は図15に示す如く形成される。

【0034】さらに、上記各実施形態においては、格子状の溝14、46を形成する際に、縦方向の溝14a、46aを先に形成した後に横方向の溝14b、46bを形成したが、これを逆にしてもよい。すなわち、横方向の溝14b、46bを先に形成した後に縦方向の溝14a、46aを形成してもよい。

【0035】

【発明の効果】本発明によれば、格子状ゲートを有するMOSTランジスタにおいて、この格子状ゲートの交差部下側の半導体基板に交差絶縁部を設けたので、格子状ゲートの交差部と半導体基板との間に生じる寄生容量の削減を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSTランジスタの場合)。

【図2】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSTランジスタの場合)。

【図3】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSTランジスタの場合)。

【図4】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSTランジスタの場合)。

【図5】本発明の第1実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSTランジスタの場合)。

【図6】本発明の第1実施形態に係る半導体装置を示す断面図 (n型MOSTランジスタの場合)。

【図7】本発明の第2実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSTランジスタの場合)。

【図8】本発明の第2実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSTランジスタの場合)。

【図9】本発明の第2実施形態に係る半導体装置の製造工程の一部を示す断面図 (n型MOSTランジスタの場合)。

11

12

【図10】本発明の第2実施形態に係る半導体装置の製造工程の一部を示す断面図（n型MOSトランジスタの場合）。

【図11】本発明の第2実施形態に係る半導体装置の製造工程の一部を示す断面図（n型MOSトランジスタの場合）。

【図12】本発明の第2実施形態に係る半導体装置の製造工程の一部を示す断面図（n型MOSトランジスタの場合）。

【図13】本発明の第2実施形態に係る半導体装置の断面図（n型MOSトランジスタの場合）。

【図14】p型MOSトランジスタに第1実施形態を適用した場合を示す断面図。

【図15】p型MOSトランジスタに第2実施形態を適用した場合を示す断面図。

【図16】従来のくし形ゲート構造のMOSトランジスタの平面図。

【図17】従来の格子状ゲート構造のMOSトランジスタの平面図。

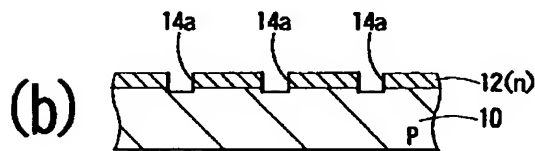
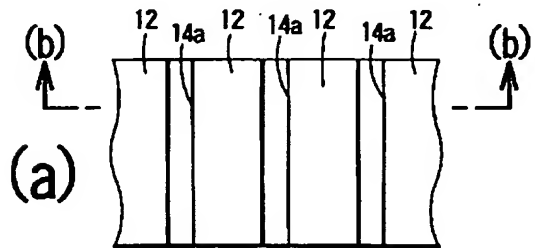
【図18】従来の格子状ゲート構造のMOSトランジスタのゲート部分を拡大して示す平面図。

【図19】図18におけるXIX-XIX線断面図。

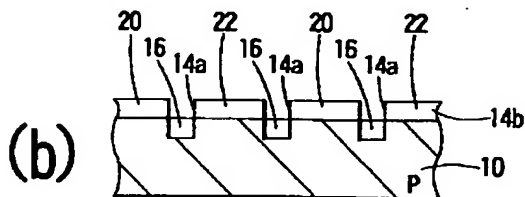
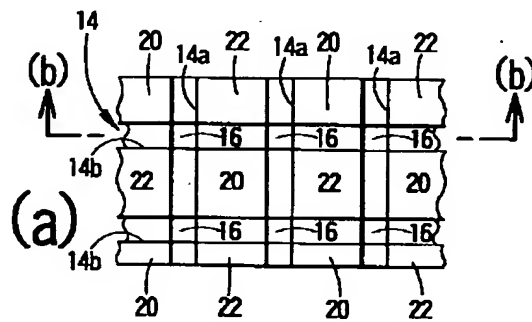
【符号の説明】

- 10 半導体基板
- 20 ソース領域
- 22 ドレイン領域
- 26 交差絶縁部
- 28 ゲート酸化膜
- 32 格子状ゲート
- 34 ゲート交差部

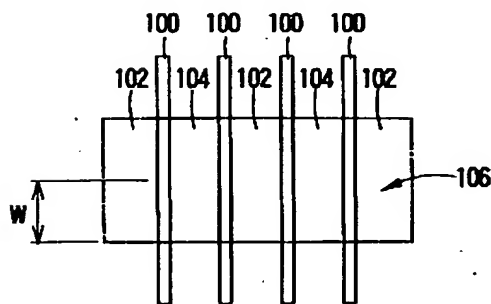
【図1】



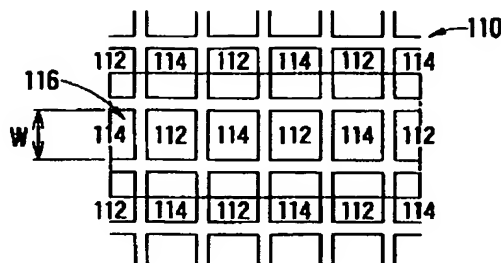
【図2】



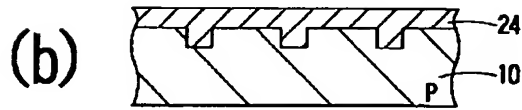
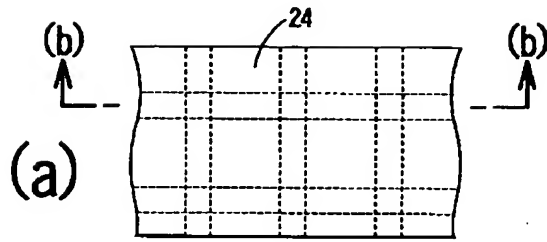
【図16】



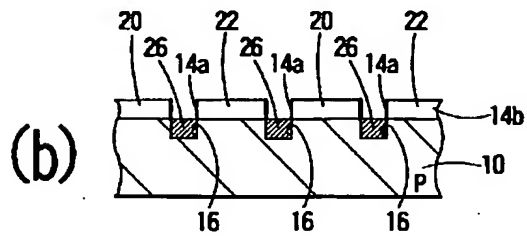
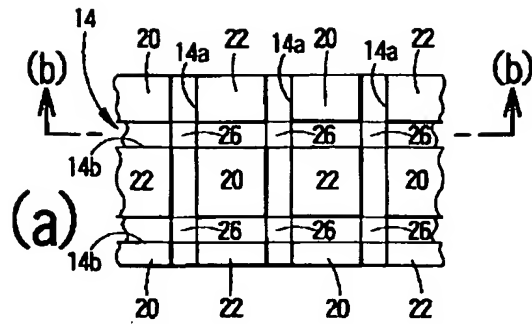
【図17】



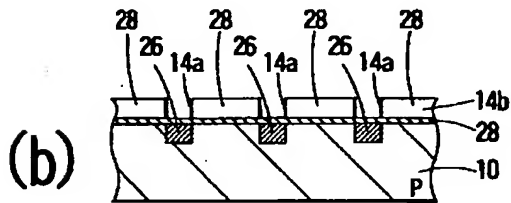
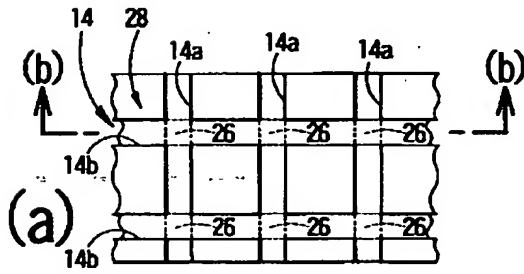
【図3】



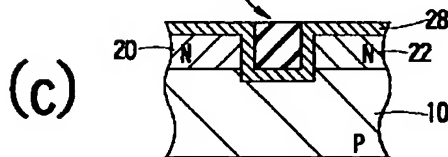
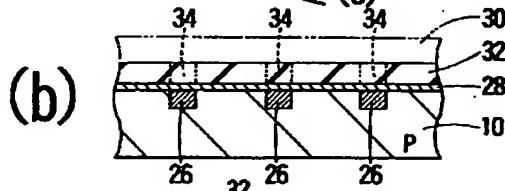
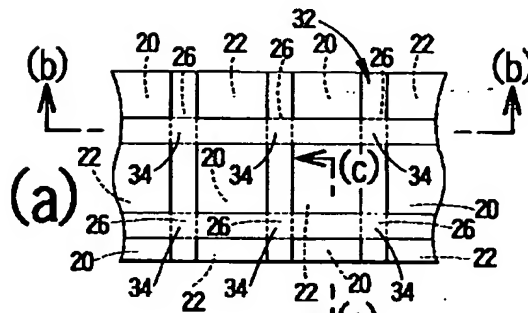
【図4】



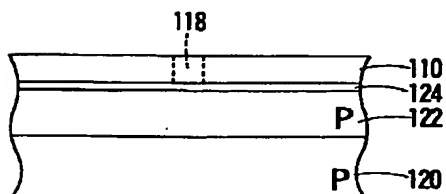
【図5】



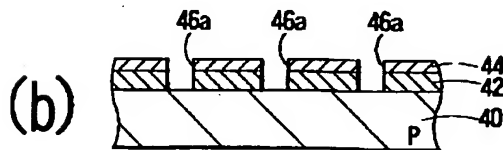
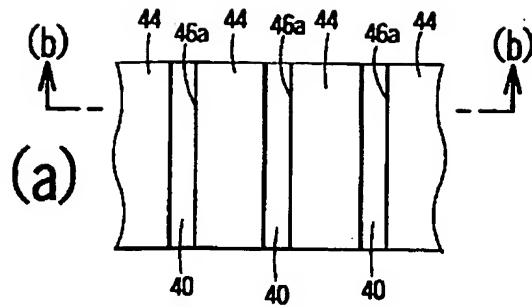
【図6】



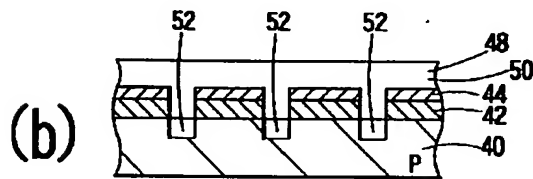
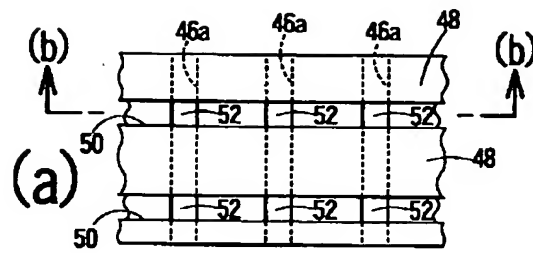
【図19】



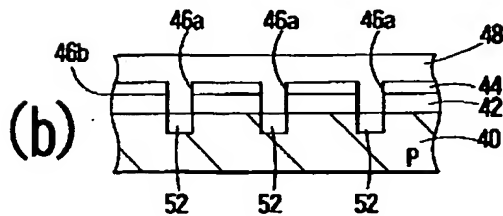
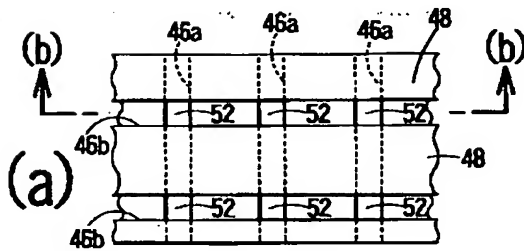
【図7】



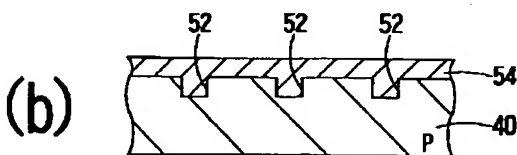
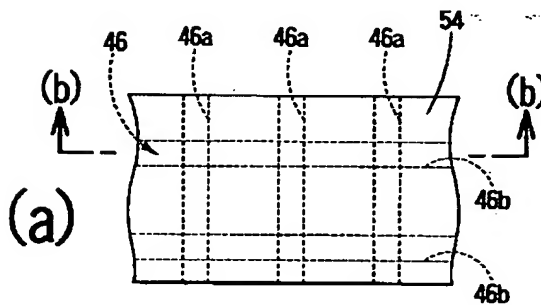
【図8】



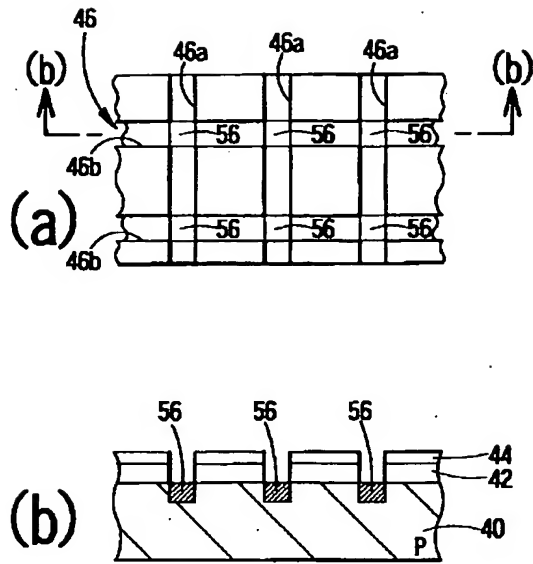
【図9】



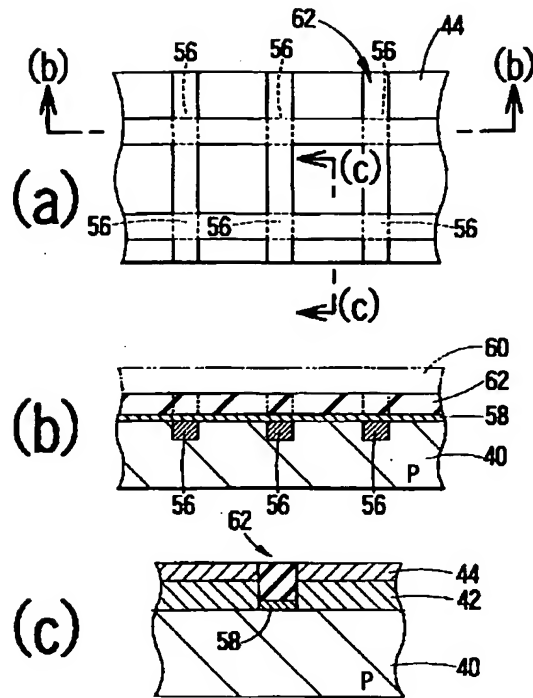
【図10】



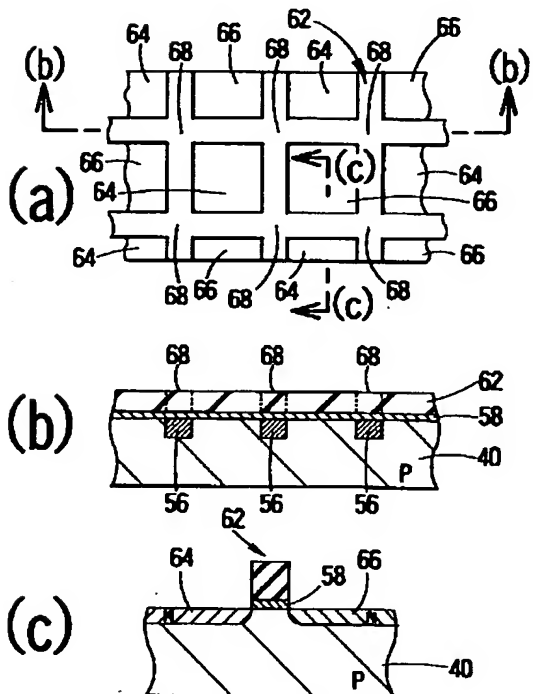
【図11】



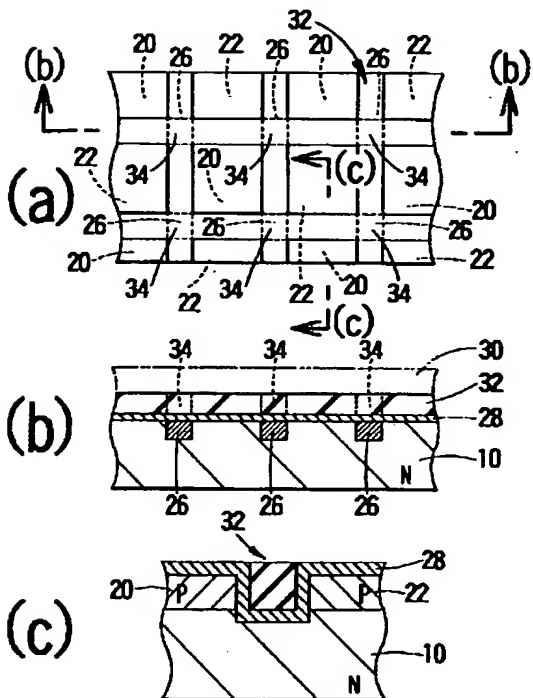
【図12】



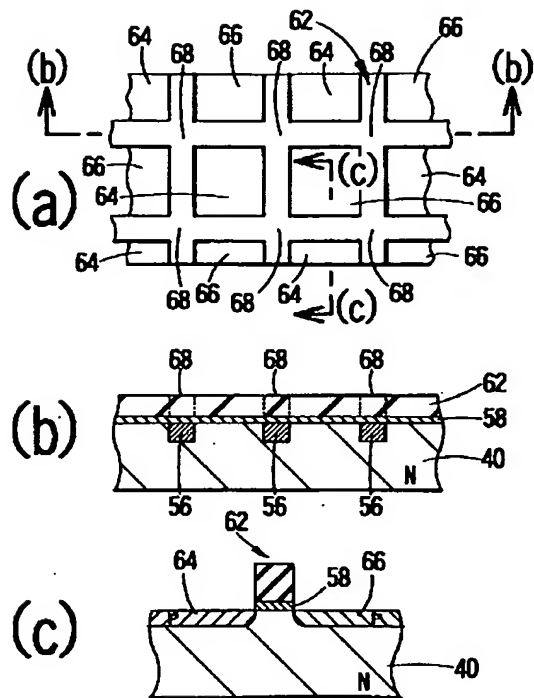
【図13】



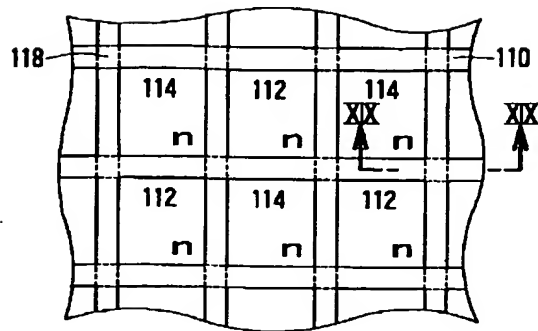
【図14】



【図15】



【図18】



JP 11-261056

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the semiconductor device and its manufacture approach of the MOS transistor which has the grid-like gate about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] As structure effective in increasing the gate width per unit area of an MOS transistor, the structure which arranges the gate in the shape of a grid is known. Drawing 16 is drawing showing superficially the MOS transistor of the usual radial fin type gate structure in the former, and drawing 17 is drawing showing the MOS transistor of grid-like gate structure superficially.

[0003] When the four gates 100 are formed and the source field 102 and the drain field 104 are formed between them in radial fin type gate structure so that drawing 16 may show, the gate width in an active region 106 is set to 8W. On the other hand, in grid-like gate structure, when the gate 110 is formed like illustration and the source field 112 and the drain field 114 are formed between them so that drawing 17 may show, the gate width in an active region 116 is set to 20W. It is known by making the gate of an MOS transistor into a lattice that the gate width per unit area can be increased so that this may show.

[0004]

[Problem(s) to be Solved by the Invention] Drawing 18 is the top view expanding and showing gate 110 part of the MOS transistor which has the grid-like gate. This drawing 18 shows n mold MOS transistor as an example. Drawing 19 is XIX-XIX in drawing 18. It is a line sectional view.

[0005] The parasitic capacitance which does not contribute to FET actuation at the grid-like gate 110 exists in an intersection 118 so that drawing 18 may show. That is, parasitic capacitance will exist also in the intersection 118 which is the part which does not contribute to the current pass between the source field 112 and the drain field 114. In more detail, gate dielectric film 124 is formed in the front-face side of the semi-conductor substrate 120, and the gate 110 is formed on this gate dielectric film 124 so that drawing 19 may show. Moreover, the channel field 122 exists in the semi-conductor substrate 120 gate 110 bottom. However, since the gate 110 intersection 118 bottom in the semi-conductor substrate 120 is not inserted into the source field 112 and the drain field 114, the path for which a current flows does not become. Therefore, although the parasitic

capacitance which exists between this semi-conductor substrate 120 and the intersection 118 of the gate 110 is not related to actuation of this MOS transistor, it will exist. Such an excessive existence of parasitic capacitance serves as hindrance of improvement in the speed of actuation of an MOS transistor.

[0006] Then, this invention is made in view of the above-mentioned technical problem, and it aims at aiming at reduction of the parasitic capacitance which exists in the intersection 118 of the gate 110 constituted in the shape of a grid. Namely, it aims at attaining improvement in the speed of actuation of an MOS transistor by reducing the excessive parasitic capacitance which is not related to actuation of the MOS transistor which exists in an intersection 118.

[0007]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the semiconductor device concerning this invention is characterized by to have the source / drain field formed between each grid of a semi-conductor substrate, the grid-like gate formed in said semi-conductor substrate front-face side in the shape of a plane-view grid through gate dielectric film, and said grid-like gate in said semi-conductor substrate, and the crossover insulation section which were formed in the semi-conductor substrate of each intersection bottom of said grid-like gate.

[0008] Moreover, the manufacture approach of the semiconductor device concerning this invention The process which forms the 1st slot in the impurity layer of the 2nd conductivity type formed in the front-face side of the semi-conductor substrate of the 1st conductivity type along the direction of either length or width, By forming the 2nd slot in said impurity layer formed in the front-face side of said semi-conductor substrate along the direction of another side of length or width While considering as a grid-like slot in accordance with these 1st and 2nd slots, dividing said impurity layer in the slot of the shape of this grid and forming two or more source / drain fields between each grid The process which forms a crossover insulation section embedded hole deeper than parts other than the intersection in said 1st and 2nd slots in said semi-conductor substrate in the intersection of these 1st and 2nd slots, By embedding an insulating member at said crossover insulation section embedded hole in said semi-conductor substrate It is characterized by having the process which forms the crossover insulation section, and the process which forms the grid-like gate by embedding a conductive member in the slot of the shape of said grid which covered the front face of the slot of the shape of said grid with a wrap process and said gate dielectric film with gate dielectric film at least.

[0009] Furthermore, the manufacture approach of the semiconductor device concerning this invention The process which forms the film for gate die forming which plays a role of a mold by forming a slot in the front face of the semi-conductor substrate of the 1st conductivity type, The process which forms the 1st slot so that said semi-conductor substrate may be exposed to said film for gate die forming along the direction of either length or width, While uniting said 1st and 2nd slots and forming a grid-like slot in said film for gate die forming by forming the 2nd slot so that said semi-conductor substrate may be exposed to said film for gate die forming along the direction of another side of length or width By embedding the process which forms a crossover insulation section embedded hole, and said crossover insulation section embedded hole in said semi-conductor substrate by the insulating member at the semi-conductor substrate of the intersection bottom of the slot of the shape of said grid By embedding a conductive

member in the slot of the process which forms the crossover insulation section, and the shape of said grid formed in a wrap process and said film for gate die forming at gate dielectric film in the front face of the semi-conductor substrate exposed from the slot of the shape of said grid at least. It is characterized also by having the process which forms the source / drain field of the 2nd conductivity type in the front-face side of the semi-conductor substrate located between the process which forms the grid-like gate, the process which removes said film for gate die forming, and each grid in said grid-like gate.

[0010]

[Embodiment of the Invention] (The 1st operation gestalt) The 1st operation gestalt of this invention aims at reduction of the parasitic capacitance between the grid-like gate and a semi-conductor substrate in the MOS transistor of the type which embedded the grid-like gate at the semi-conductor substrate, and formed it by preparing the crossover insulation section in the part located in the intersection bottom of the grid-like gate in a semi-conductor substrate. ***** is explained more below.

[0011] Drawing 1 thru/or drawing 6 are the sectional views showing the production process of the semiconductor device concerning the 1st operation gestalt of this invention. In each [these] drawing, (a) is the top view of a semiconductor device and (b) is a (b)-(b) line sectional view in (a). Moreover, (c) in drawing 7 is a (c)-(c) line sectional view in this drawing (a).

[0012] The impurity layer 12 of n mold is formed on the semi-conductor substrate 10 which consists of silicon of p mold so that drawing 1 may show. This impurity layer 12 can be formed with epitaxial growth, or can also be formed by ion implantation. The impurity layer 12 is for finally forming the source / drain field. Then, slot 14a of the one direction in a grid-like gate formation schedule field is formed in the impurity layer 12 by the side of semi-conductor substrate 10 front face. It sets in this operation gestalt and slot 14a of the lengthwise direction in drawing is formed. Slot 14a of this lengthwise direction can be formed by carrying out patterning of the resist so that it may have resist puncturing of a lengthwise direction with lithography, and carrying out anisotropic etching. It is necessary to form this slot 14a until it penetrates the impurity layer 12 at least.

[0013] Next, also in a grid-like gate formation schedule field, slot 14b of a direction is formed in the front-face side of the semi-conductor substrate 10 so that drawing 2 may show. It sets in this operation gestalt and slot 14b of the longitudinal direction in drawing is formed. Slot 14b of this longitudinal direction can be formed by carrying out patterning of the resist so that it may have lateral resist puncturing with lithography, and carrying out anisotropic etching. It is necessary to form it until this slot 14b also penetrates the impurity layer 12 at least. Of this etching, the slot 14 of the shape of a grid which consists of slot 14a of a lengthwise direction and lateral slot 14b is formed in a gate formation schedule field. Moreover, the crossover insulation section embedded hole 16 with the intersection deeper one step than the part of other slots in the slot 14 of the shape of this grid is formed. Furthermore, inside each grid in the slot 14 of the shape of this grid, the source field 20 of n mold and the drain field 22 of n mold are formed by turns. That is, the source / drain fields 20 and 22 are formed between each grid by dividing the impurity layer 12 in the grid-like slot 14.

[0014] Next, on the whole, the silicon oxide 24 as an insulating member is deposited on

the front face of this middle semiconductor device so that drawing 3 may show. This silicon oxide 24 can be deposited by CVD (chemical vapor deposition) etc. By depositing this silicon oxide 24, the grid-like slot 14 is filled by this silicon oxide, and the front face of a middle semiconductor device is graduated mostly.

[0015] Next, by carrying out etchback of the silicon oxide 24, silicon oxide 24 is made to remain in the crossover insulation section embedded hole 16 formed deeply, and the crossover insulation section 26 is formed so that drawing 4 may show. This crossover insulation section 26 can be formed in self align by adjusting that amount of etching, in case RIE (reactive ion etching) of the silicon oxide 24 is carried out. By forming this crossover insulation section 26, the depth of the grid-like slot 14 turns into the overall almost same depth including that intersection.

[0016] Next, on the whole, the gate oxide 28 as gate dielectric film is formed in the front face of this middle semiconductor device, and the front face of this middle semiconductor device is covered by gate oxide 28 so that drawing 5 may show. This gate oxide can be formed by thermal oxidation.

[0017] Next, on the whole, the conductive film 30 for constituting the gate is deposited on this middle semiconductor device so that drawing 6 may show. On the whole, this conductive film 30 fills the grid-like slot 14, and it deposits it until the front-face side of this middle semiconductor device is graduated. The conductive film 30 can be obtained by depositing conductive members, such as a refractory metal, by polish recon and sputtering with CVD. Then, the grid-like gate 32 is formed by etching this conductive film 30 in self align. That is, the grid-like gate 32 is formed by adjusting the amount of etching and making the conductive film 30 in the grid-like slot 14 remain. As etching of this conductive film 30, etching by RIE and etching by CMP (chemical mechanical polishing) are raised. According to the above process, the MOS transistor concerning the 1st operation gestalt can be obtained.

[0018] As mentioned above, so that drawing 6 may show, since [according to the MOS transistor concerning the 1st operation gestalt] the crossover insulation section 26 is formed in the semi-conductor substrate 10 of the grid-like gate 32 intersection 34 bottom, the parasitic capacitance in this intersection 34 can be reduced. The crossover insulation section 26 which becomes the intersection 34 bottom of the grid-like gate 32 from silicon oxide was formed in more detail. The parasitic capacitance produced between an intersection 34 and the semi-conductor substrate 10 is reducible with this crossover insulation section 26. That is, the parasitic capacitance in the intersection 34 of the grid-like gate 32 which is unrelated to FET actuation of this MOS transistor can be reduced. And improvement in the speed of actuation of an MOS transistor can be attained by reducing parasitic capacitance in this way.

[0019] And the MOS transistor which has the crossover insulation section 26 can be manufactured in self align. In more detail, the deep crossover insulation section embedded hole 16 can be formed in a part for these intersections in self align by forming slot 14b of the other directions at a process different from this so that drawing 1 may show, slot 14a of the one direction in the semi-conductor substrate 10 may be formed and drawing 2 may show. Then, the crossover insulation section 26 can be formed in this deep crossover insulation section embedded hole 16 in self align so that drawing 3 and drawing 4 may show. Furthermore, the grid-like gate 32 can be formed in a slot 14 in self align so that drawing 5 and drawing 6 may show. Thus, by making a manufacture process

in self align, the mask alignment in a manufacture process becomes unnecessary, and can attain detailed-ization of a process. Moreover, a short channel effect can be made hard to produce, also when detailed-ization of an MOS transistor is attained, since it is the structure where the grid-like gate 32 is embedded at the semi-conductor substrate 10. [0020] (The 2nd operation gestalt) The 2nd operation gestalt aims at reduction of the parasitic capacitance between the grid-like gate and a semi-conductor substrate in the semiconductor device of the type which protruded and formed the grid-like gate in the front face of a semi-conductor substrate by preparing the crossover insulation section in the semi-conductor substrate of the intersection bottom of this grid-like gate. ***** is explained more below.

[0021] Drawing 8 thru/or drawing 13 are the sectional views showing the production process of the semiconductor device concerning the 2nd operation gestalt of this invention. In each [these] drawing, (a) is the top view of a semiconductor device and (b) is a (b)-(b) line sectional view in (a). Moreover, (c) in drawing 12 and drawing 13 is a (c)-(c) line sectional view in each drawing (a).

[0022] Silicon oxide 42 and the silicon nitride 44 are deposited on the semi-conductor substrate 40 which consists of silicon so that drawing 7 may show. These silicon oxide 42 and the silicon nitride 44 can be deposited by CVD. The film for gate die forming in this operation gestalt consists of these silicon oxide 42 and a silicon nitride 44. By forming a slot behind, this film for gate mold formation is a member which plays a role of a mold for forming the gate. Then, slot 46a of the one direction in a grid-like gate formation schedule field is formed in silicon oxide 42 and the silicon nitride 44. It sets in this operation gestalt and slot 46a of the lengthwise direction in drawing is formed. This slot 46a penetrates silicon oxide 42 and the silicon nitride 44, and it forms them so that the front face of the semi-conductor substrate 40 may be exposed.

[0023] Next, a resist 48 is applied on this middle semiconductor device, and patterning of the resist puncturing 50 is carried out along the slot of the other directions of the grid-like gate formation schedule field in this resist 48 so that drawing 8 may show. It sets in this operation gestalt and the resist puncturing 50 is formed toward the longitudinal direction in drawing. Then, the crossover insulation section embedded hole 52 is formed in the semi-conductor substrate 40 by carrying out anisotropic etching of the semi-conductor substrate 40 which consists of silicon exposed from this resist puncturing 50 alternatively. That is, a resist 48 and the silicon nitride 44 are operated as a mask, and only the exposed part of the semi-conductor substrate 40 is etched. RIE which has selectivity to the silicon nitride 44 as this anisotropic etching is raised.

[0024] Next, slot 48b of the other directions of a grid-like gate formation schedule field is formed by carrying out anisotropic etching of silicon oxide 42 and the silicon nitride 44 alternatively, using as a mask the resist 48 formed at the previous process as it is so that drawing 9 may show. That is, lateral slot 48b is formed in silicon oxide 42 and the silicon nitride 44 in this operation gestalt. This slot 46b also penetrates silicon oxide 42 and the silicon nitride 44, and it forms them so that the front face of the semi-conductor substrate 40 may be exposed. [as well as slot 46a mentioned above] As anisotropic etching for forming this slot 46b, RIE is raised, for example. The grid-like slot 48 is formed in silicon oxide 42 and the silicon nitride 44 by this slot 48b and slot 48a mentioned above.

[0025] Next, a resist 48 is removed so that drawing 10 may show. Then, the silicon oxide 54 as an insulating member is deposited on this middle semiconductor device. This

silicon oxide 54 can be deposited by CVD etc. By depositing this silicon oxide 54, the grid-like slot 46 is filled by this silicon oxide 54, and the front face of a middle semiconductor device is graduated mostly.

[0026] Next, by carrying out etchback of the silicon oxide 54, silicon oxide 54 is made to remain in the crossover insulation section embedded hole 52, and the crossover insulation section 56 is formed so that drawing 11 may show. This crossover insulation section 56 can be formed in self align by adjusting that amount of etching, in case RIE of the silicon oxide 54 is carried out.

[0027] Next, the gate oxide 58 as gate dielectric film is formed in the front face of the semi-conductor substrate 40 exposed from the slot 46 of the shape of a grid in this middle semiconductor device so that drawing 12 may show. And it is a wrap about the front face of the semi-conductor substrate 40 exposed from the grid-like slot 46 by this gate oxide 58. This gate oxide 58 can be formed by thermal oxidation. Then, on the whole, the conductive film 60 for constituting the gate is deposited on this middle semiconductor device. On the whole, this conductive film 60 fills the grid-like slot 14, and it deposits it until the front-face side of this middle semiconductor device is graduated. The conductive film 60 can be obtained, when polish recon is deposited by CVD and it deposits conductive members, such as a refractory metal, by sputtering. Then, the grid-like gate 62 is formed by etching this conductive film 60 in self align. That is, the grid-like gate 62 is formed by adjusting the amount of etching and making the conductive film 60 in the grid-like slot 46 remain. As etching of this conductive film 60, etching by RIE and etching by CMP (chemical mechanical polishing) are raised.

[0028] Next, the silicon oxide 42 and the silicon nitride 44 which were formed between each grid of the grid-like gate 62 are removed by etching alternatively so that drawing 13 may show. That is, the semi-conductor substrate 40 of p mold is exposed by removing the silicon oxide 42 and the silicon nitride 44 which were formed between each grid of the grid-like gate 62. As this silicon oxide 42, the silicon nitride 44, and etching, RIE is raised, for example. Then, impurity ion is driven into this middle semiconductor device, and the source field 64 and the drain field 66 are formed. Since the grid-like gate 62 plays a role of a mask, formation of this source field 64 and the drain field 66 can be performed in self align. According to the above process, the MOS transistor concerning the 2nd operation gestalt can be obtained.

[0029] As mentioned above, since [with the MOS transistor concerning the 2nd operation gestalt as well as the 1st operation gestalt] the crossover insulation section 56 is formed in the semi-conductor substrate 40 of the grid-like gate 62 intersection 68 bottom, the parasitic capacitance in this intersection 68 can be reduced.

[0030] And the MOS transistor which has the crossover insulation section 56 can be manufactured in self align like the 1st operation gestalt. In more detail, the grid-like slot 46 is formed by forming slot 44b of the other directions at process that this is another so that drawing 7 may show, slot 46a of an one direction may be formed in silicon oxide 42 and the silicon nitride 44 and drawing 8 and drawing 9 may show. In addition, before forming slot 44b of a direction, the crossover insulation section embedded hole 52 is formed in the semi-conductor substrate 40 in self align. Furthermore, the crossover insulation section 56 is formed in this crossover insulation section embedded hole 52 in self align so that drawing 10 and drawing 11 may show. Then, the grid-like gate 62 is formed in self align so that the grid-like slot 46 may be filled, etching removes silicon

oxide 42 and the silicon nitride 44 in self align so that drawing 13 may show, and the source / drain fields 64 and 66 are formed so that drawing 12 may show. Thus, by making a manufacture process in self align, the mask alignment in a manufacture process becomes unnecessary, and can attain detailed-ization of a process.

[0031] And since the grid-like gate 62 is protruded and formed on the semi-conductor substrate 40, capacity between this grid-like gate 62, and the source / drain fields 64 and 66 can be made small.

[0032] in addition, this invention is not limited to the above-mentioned operation gestalt, but is deformable to versatility. For example, the film for gate die forming in the 2nd operation gestalt may be not the double layer structure of silicon oxide 42 and the silicon nitride 44 but monolayer structure which consists of a silicon nitride. That is, it is sufficient if it is the member which has selectivity to the semi-conductor substrate 40 on the occasion of etching.

[0033] Moreover, although the above-mentioned operation gestalt explained the MOS transistor of n mold to the example, even if it is the MOS transistor of p mold, it is applicable similarly. When the 1st operation gestalt is applied to p mold MOS transistor, it is formed as shown in drawing 14 , and when the 2nd operation gestalt is similarly applied to p mold MOS transistor, it is formed as shown in drawing 15 .

[0034] Furthermore, in each above-mentioned operation gestalt, in case the grid-like slots 14 and 46 were formed, after forming previously the slots 14a and 46a on the lengthwise direction, the lateral slots 14b and 46b were formed, but even if reverse in this, it is good. That is, after forming the lateral slots 14b and 46b previously, the slots 14a and 46a on the lengthwise direction may be formed.

[0035]

[Effect of the Invention] Since the crossover insulation section was prepared in the semi-conductor substrate of the intersection bottom of this grid-like gate in the MOS transistor which has the grid-like gate according to this invention, reduction of the parasitic capacitance produced between the intersection of the grid-like gate and a semi-conductor substrate can be aimed at.

[Translation done.]

*** NOTICES ***

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing a part of production process of the semiconductor device concerning the 1st operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 2] The sectional view showing a part of production process of the semiconductor device concerning the 1st operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 3] The sectional view showing a part of production process of the semiconductor device concerning the 1st operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 4] The sectional view showing a part of production process of the semiconductor device concerning the 1st operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 5] The sectional view showing a part of production process of the semiconductor device concerning the 1st operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 6] The sectional view showing the semiconductor device concerning the 1st operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 7] The sectional view showing a part of production process of the semiconductor device concerning the 2nd operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 8] The sectional view showing a part of production process of the semiconductor device concerning the 2nd operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 9] The sectional view showing a part of production process of the semiconductor device concerning the 2nd operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 10] The sectional view showing a part of production process of the semiconductor device concerning the 2nd operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 11] The sectional view showing a part of production process of the semiconductor device concerning the 2nd operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 12] The sectional view showing a part of production process of the semiconductor device concerning the 2nd operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 13] The sectional view of the semiconductor device concerning the 2nd operation gestalt of this invention (in the case of n mold MOS transistor).

[Drawing 14] The sectional view showing the case where the 1st operation gestalt is applied to p mold MOS transistor.

[Drawing 15] The sectional view showing the case where the 2nd operation gestalt is applied to p mold MOS transistor.

[Drawing 16] It goes away conventionally and is the top view of the MOS transistor of form gate structure.

[Drawing 17] The top view of the MOS transistor of the conventional grid-like gate structure.

[Drawing 18] The top view expanding and showing the gate part of the MOS transistor of the conventional grid-like gate structure.

[Drawing 19] XIX-XIX in drawing 18 Line sectional view.

[Description of Notations]

10 Semi-conductor Substrate

20 Source Field

22 Drain Field

26 Crossover Insulation Section

28 Gate Oxide

32 Grid-like Gate

34 Gate Intersection

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☒ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.